

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 58105497
PUBLICATION DATE : 23-06-83

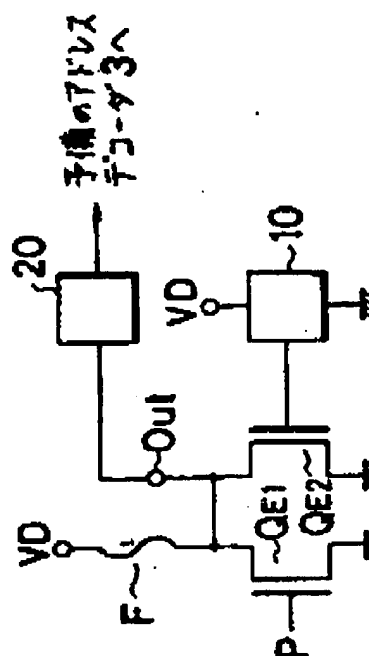
APPLICATION DATE : 17-12-81
APPLICATION NUMBER : 56204246

APPLICANT : TOSHIBA CORP;

INVENTOR : OCHII KIYOBUMI;

INT.CL. : G11C 29/00 G11C 17/00 H01L 27/10

TITLE : SEMICONDUCTOR INTEGRATED CIRCUIT



ABSTRACT : PURPOSE: To increase the reliability, by obtaining a binary output without flowing at all times a current to a nonvolatile storage element for a semiconductor integrated circuit having the redundant function and can switch a normal circuit to a spare circuit in case the normal circuit is faulty.

CONSTITUTION: For this semiconductor integrated position, a fuse element F made of polysilicon is inserted between the point of application of a power supply VD and an output terminal Out, an MOSFETQE₁ of an enhancement mode for program is inserted between the terminal Out and an earth, and another enhancement mode MOSFETQE₂ is inserted between the terminal Out and the earth. Furthermore a pulse generating circuit 10 which delivers the pulse signal of a prescribed pulse width of level 1 after the application of a power supply is provided along with a latch circuit 20 which stores the signal of the terminal Out. With such an IC, the current flows to the element F as long as the element F is not fused only when the pulse signal is applied to the MOSFETQE₂ from the circuit 10 to turn on the MOSFETQE₂.

COPYRIGHT: (C)1983,JPO&Japio

⑬ 日本国特許庁 (JP)
⑭ 公開特許公報 (A)

⑮ 特許出願公開
昭58—105497

⑯ Int. Cl.³
G 11 C 29/00
17/00
H 01 L 27/10

識別記号

庁内整理番号
7922—5B
6549—5B
6655—5F

⑰ 公開 昭和58年(1983)6月23日

発明の数 1
審査請求 未請求

(全 7 頁)

⑱ 半導体集積回路

⑲ 特 願 昭56—204246

⑳ 出 願 昭56(1981)12月17日

㉑ 発 明 者 岩橋弘

川崎市幸区小向東芝町1番地東
京芝浦電気株式会社トランジス
タ工場内

㉒ 発 明 者 落井清文

川崎市幸区小向東芝町1番地東
京芝浦電気株式会社トランジス
タ工場内

㉓ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

㉔ 代 理 人 弁理士 鈴江武彦 外2名

明 願 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

(1) 一方電位供給端と出力端との間に挿入される所定期間のインピーダンスが不揮発的に変化する不揮発性記憶素子と、上記出力端と他方電位供給端との間に挿入されるメインテナンス素子と、上記一方および他方電位供給端間に所定の電位差が与えられる期間内あるいは、与えられてから所定の所定期間に上記スイッチング素子をスイッチする手段と、上記スイッチング素子がスイッチされている期間の上記出力端の信号を記憶する手段とを具備したことを特徴とする半導体集積回路。

(2) 前記不揮発性記憶素子がポリシリコンによつて形成されているフューズ素子である特許請求の範囲第1項に記載の半導体集積回路。

(3) 前記半導体集積回路は正規メモリ回路および予備メモリ回路を備えた半導体メモリ内に

形成され、正規メモリ回路内に不良メモリが発生した際に不良メモリを予備メモリ回路内のメモリと交換する場合に用いられる交換制御信号として前記出力端の信号を記憶する手段からの信号を用いるようにした特許請求の範囲第1項に記載の半導体集積回路。

3. 発明の詳細な説明

発明の技術分野

この発明は正規回路が不具合な場合に予備回路に切換えることのできる冗長機構を持つた半導体集積回路において、正規回路が不具合な場合に予備回路に切換える際の切換制御信号として用いられる信号を発生する半導体集積回路に関する。

発明の技術的背景

最近、半導体集積回路、特に半導体メモリにおいては、正規のメモリセル回路と予備のメモリセル回路を予め形成しておき、製造時に正規のメモリセル回路内に不良ビットがあつた場合にはこの不良ビット部分を予備のメモリセル回

特許第58-105497(2)

略に置き換えて使用するような冗長性機能を持つたものが増加している。これは、正規のメモリセル回路にわずかに1ビットの不良セルがあつてもメモリ全体としては不具合なため、このようなメモリは不良品として捨てられている。しかしながら、メモリ容量が増大するのに伴ない不良のメモリセルが発生する確率は高くなつてきており、不良が発生しているメモリを捨てていたのでは製品のコストが極めて高価なものとなつてしまう。したがつて、全体の歩留り向上のために予備のメモリセル回路を形成し、正規のメモリセル回路の一部が不良の場合にこれを切り換えて使う方法が採用されてきたのである。そして切り換えのための情報は不揮発性記憶素子に書き込まれている。

図1図は上記予備のメモリセル回路が形成されている半導体メモリのブロック構成図である。第1図において、1はアドレス信号が与えられるアドレスバッファであり、このアドレスバッファ1からの出力は正規のアドレスデコーダ2

および予備のアドレスデコーダ3に並列的に与えられる。正規のアドレスデコーダ2のデコード出力は正規のメモリセル回路4に与えられ、このデコード出力によつて正規のメモリセル回路4内の1つあるいはそれ以上のメモリセルが選択され、その後、この選択されたメモリセルにデータが記憶されたりデータが読み出されたりする。また、上記正規のアドレスデコーダ2は予備のアドレスデコーダ3からの出力によつてそのデコード動作が制御される。予備のアドレスデコーダ3のデコード出力は予備のメモリセル回路5に与えられ、このデコード出力によつて予備のメモリセル回路5内のメモリセルが選択され、その後、この選択されたメモリセルにデータが記憶されたりデータが読み出されたりする。また、上記予備のアドレスデコーダ3の出力は、正規のアドレスデコーダ2のデコード動作を制御するための信号としても出力される。さらに上記予備のアドレスデコーダ3のデコード動作は、正規のメモリセル回路4内に不

良のビットがあり、この不良部分を予備のメモリセル回路5内のメモリセルと交換する際に、メモリセル交換のための情報が予め不揮発性記憶素子に書き込まれている交換制御信号発生部6から出力される交換制御信号によつて制御される。すなわち、このように構成の半導体メモリにおいて、正規のメモリセル回路4に不良ビットがあれば交換制御信号は出力されず、正規のアドレスデコーダ2のみが動作して正規のメモリセル回路4内のメモリセルがアクセスされる。一方、正規のメモリセル回路4内に不良ビットがあれば、この不良ビットを含む行あるいは列アドレスに相当するデコード出力が得られるように予め予備のアドレスデコーダ3をプログラムしておくとともに、交換制御信号発生部6から1レベルまたは0レベルの交換制御信号が得られるように前記不揮発性記憶素子をプログラムしておく。したがつて、いまアドレスバッファ1で正規のメモリセル回路4の不良ビットを含む行または列アドレスに対応する出力が得ら

れると、予備のアドレスデコーダ3によつて予備のメモリセル回路5内のメモリセルが選択される。さらにこのときの予備のアドレスデコーダ3のデコード出力によつて正規のアドレスデコーダ2のデコード動作が停止され、正規のメモリセル回路4はアクセスされない。このような操作によつて、正規のメモリセル回路4内の不良部分が予備のメモリセル回路5と交換されるものである。

第2図(a)、(b)は上記交換制御信号発生部6の従来の構成を示す回路図である。第2図(a)に示す回路は、電源V_D印加点と出力端子Outとの間に不揮発性記憶素子の一つであるポリシリコンによつて構成されたフューズ素子Fを挿入し、出力端子Outとアース点との間にプログラム用のエンハンスメントモードのMOSFETQ₁を挿入し、かつ出力端子Outとアース点との間にダイプレクシオンモードのMOSFETQ₂を挿入し、MOSFETQ₂のゲートにはプログラム信号Pを与えるようにするとともに

MOSFETQ_Dのゲートはアース点に接続するようにしたものである。また、第2図(b)に示す回路は、電源VD印加点と出力端子Outとの間にプログラム用のエンハンスメントモードのMOSFETQ_Eを挿入し、同様に電源VD印加点と出力端子Outとの間にディプレッションモードのMOSFETQ_Dを挿入し、かつ出力端子とアース点との間にフューズ素子Fを挿入し、MOSFETQ_Eのゲートにはプログラム信号Pを与えるようにするとともにMOSFETQ_Dのゲートは出力端子Outに接続するようにしたものである。

第2図(a)の回路において、フューズ素子Fが遮断されていないとき、出力端子OutのレベルはMOSFETQ_Dとフューズ素子Fとの抵抗比によって1レベルに保たれている。一方、MOSFETQ_Eのゲートに1レベルのプログラム信号Pを与えると、このMOSFETQ_Eがオンしてフューズ素子Fに大きな電流が流れ、このときに発生するジュール熱によってフューズ素子Fが遮断される。フューズ素子Fが遮断されると、信号Pは再びレベルとなつてMOSFETQ_Eがカットオフし、今度はMOSFETQ_Dを介して出力端子Outが0レベルに放電される。そして、上記出力端子Outの信号、すなわち前記交換制御信号のレベルがたとえば1レベルのときには予備のアドレスデコードのデコード動作は停止され、たとえば0レベルのときにデコード動作が行なわれる。

第2図(b)の回路では第2図(a)の回路とは反対に、フューズ素子Fが遮断されていないとき、出力端子OutのレベルはMOSFETQ_Dとフューズ素子Fとの抵抗比によって0レベルに保たれている。そしてMOSFETQ_Eのゲートに1レベルのプログラム信号Pを与えると前記と同様にフューズ素子Fが遮断され、その後、出力端子OutはMOSFETQ_Dを介して1レベルに充電される。この場合には、出力端子Outの信号、すなわち交換制御信号のレベルがたとえば0レベルのときには予備のアドレスデコード動作が行なわれる。

第2図(b)の回路では第2図(a)の回路とは反対に、フューズ素子Fが遮断されていないとき、出力端子OutのレベルはMOSFETQ_Dとフューズ素子Fとの抵抗比によって0レベルに保たれている。そしてMOSFETQ_Eのゲートに1レベルのプログラム信号Pを与えると前記と同様にフューズ素子Fが遮断され、その後、出力端子OutはMOSFETQ_Dを介して1レベルに充電される。この場合には、出力端子Outの信号、すなわち交換制御信号のレベルがたとえば0レベルのときには予備のアドレスデコード動作が行なわれる。

コードJのデコード動作は停止され、たとえば1レベルのときにデコード動作が行なわれる。

第8図は前記予備のアドレスデコードJの一つのデコード回路の構成の一例を示す回路図である。この回路は負荷用のディプレッションモードのMOSFETQ_{Lb}と、前記アドレスマップ1から出力される各アドレス信号A₀, A₁, A₂, ..., A_nをゲート入力とする駆動用の、複数のエンハンスメントモードのMOSFETQ_{Eb}と、これら複数の各MOSFETQ_{Eb}と上記MOSFETQ_{Lb}との間に挿入される複数のフューズ素子F_jとから構成されている。

このようにデコード回路では、たとえば前記正規のメモリセル回路4のメモリセルのうちアドレスA₀ = A₁ = ... = A_n = 0に対応するものが不良の場合には、このアドレスに相当するデコード出力が得られるように各フューズ素子F_jがプログラム、すなわちA₀, A₁, ..., A_nをゲート入力とするMOSFETQ_{Eb}に接続されているフューズ素子F_jが遮断される。

背景技術の問題点

ところで前記第2図(a), (b)に示す従来の交換制御信号発生部にあつては、フューズ素子Fが遮断されていないときはこのフューズ素子Fには常に電流が流れた状態にまつている。一方、このフューズ素子Fは遮断され易くするためそのパターン形状の幅が極めて細く作られている。このため、上記フューズ素子Fに定常的に電流を流すことは信頼性上好ましくない。たとえば何らかの原因によって電源VDにノイズが乗つたり、誤まつて電源電圧を高くしてしまつたような場合には、フューズ素子Fに異常電流が流れ、誤まつて遮断される恐れがある。

発明の目的

したがつて、この発明の目的とするところは、不揮発性記憶素子を用いて二重の出力を得ることのできる信頼性の高い半導体集積回路を提供することにある。

発明の概要

この発明の半導体集積回路は、電源と出力端

子との間にフューズ素子等両端間のインピーダンスが不揮発的に変化する不揮発性記憶素子を挿入し、上記出力端子とアースとの間にMOSFETからなるスイッチング素子を挿入し、電流が与えられた初期の一定期間、上記スイッチング素子をスイッチし、スイッチング素子がスイッチされている期間の上記出力端子の信号を記憶することによつて、上記不揮発性記憶素子の両端間のインピーダンスが低い状態になつていても、この不揮発性記憶素子に常時電流を流す必要なしに二値の出力を得るようにして信頼性を高めるようにしたものである。

発明の実施例

以下図面を参照してこの発明の実施例を説明する。第4図はこの発明の原理を説明するための回路図である。この回路は、電源V_D印加点（一方電位供給端）と出力端子Outとの間にポリシリコンによつて構成されたフューズ素子Fを挿入し、出力端子Outとアース（他方電位供給端）との間にプログラム用のエンハンスメン

れることがなく、信頼性を高くすることができ、また、フューズ素子Fが遮断されているか否かの情報、すなわち前記プログラムの情報は、MOSFETQ₂₁がオンしている時の出力端子Outの信号をラッチ回路20が記憶保持しているため、確実に出力される。なお、MOSFETQ₂₁は従来と同様、フューズ素子Fを遮断するためのものであり、遮断時に1レベルとなるプログラム信号Pが与えられる。

第5図はこの発明の一実施例の構成を示す回路図であり、前記パルス発生回路10は、電源V_Dとアースとの間に直列挿入された抵抗11およびコンデンサ12と、これら抵抗11とコンデンサ12との直列接続点の信号を反転するインバータ13とから構成され、インバータ13の出力はMOSFETQ₂₁のゲートに与えられる。また、前記ラッチ回路20は、出力端子Outの信号と上記インバータ13の出力を各入力とする一対のNORゲート21、22とからなるフリップフロップ23と、上記一方のNOR

実施例58-105497(4)

モードのMOSFETQ₂₁を挿入し、かつ出力端子Outとアースとの間にもう1つのエンハンスメントモードのMOSFETQ₂₂を挿入し、さらに電源投入後に1レベルの所定パルス幅を持つパルス信号を出力するパルス発生回路10と上記出力端子Outの信号を記憶するラッチ回路20とを設け、上記MOSFETQ₂₁のゲートにはプログラム信号Pを与えるようにするとともにMOSFETQ₂₂のゲートには上記パルス発生回路10から出力されるパルス信号を与えるようにしたものである。そして上記ラッチ回路20の出力は、たとえば前記第1図回路内の予備のアドレスデコード3に与えられる。

このような回路では、フューズ素子Fが遮断されていない場合にこのフューズ素子Fに電流が流れるのは、パルス発生回路10からMOSFETQ₂₂にパルス信号が与えられてこのMOSFETQ₂₂がオンするときである。したがって、従来のようにフューズ素子Fには常時電流が流れることはないで済まつて遮断さ

ゲート21の出力をゲート入力とし出力端子Outとアースとの間に挿入されたエンハンスメントモードのMOSFETQ₂₂とから構成されている。

このような構成において、電源V_Dを投入し、V_Dとアース間にV_Dの電位差が与えられると、その直後にインバータ13から1レベルの所定パルス幅のパルス信号が出力される。そして所定期間、MOSFETQ₂₂がオンする。このとき、フューズ素子Fが遮断されていなければ出力端子Outは1レベルになる。したがって、NORゲート21の出力は0レベルである。次にMOSFETQ₂₂のオン期間が終了しても出力端子Outはフューズ素子Fによつて1レベルに保たれているため、NORゲート21の出力は0レベルのまま変化しない。

一方、予めMOSFETQ₂₁によつてフューズ素子Fが遮断されているとき、MOSFETQ₂₂がオンすると、出力端子Outは0レベルに放電される。このとき、NORゲート22の出力は

インバータ₁₃からの1レベル出力によつて0レベルになつてゐるため、NORゲート₂₁の出力は1レベルとなる。またNORゲート₂₁の1レベル出力によつてMOSFETQ₂₃がオンし、この後、出力端子OutはこのMOSFETQ₂₃によつて0レベルに保持される。そしてインバータ₁₃の出力が0レベルに戻つてもNORゲート₂₁の出力は1レベルのまま保持される。

このようにして上記実施例回路では、電源を投入した後、フューズ素子Fが導通されているか否によつて1レベルまたは0レベルの信号が出力される。

第6図はこの発明の他の実施例の構成を示す回路図であり、上記実施例回路とはラッチ回路₂₀の構成が異なつてゐる。すなわち、ラッチ回路₂₀は、直列接続された2個のインバータ₂₄、₂₅と、この一方のインバータ₂₄の入力側と出力端子Outとの間に挿入され、伝達ゲートとして用いられるエンハンスメントモードのMOSFETQ₂₆と、上記インバータ₂₄の入

特開58-105497(6)

力側とインバータ₂₅の出力側との間に挿入され、伝達ゲートとして用いられるエンハンスメントモードのMOSFETQ₂₆と、パルス発生回路₁₀内のインバータ₁₃の出力を反転するもの1つのインバータ₂₆とから構成され、

MOSFETQ₂₆のゲートには前記インバータ₁₃の出力が、MOSFETQ₂₆のゲートには上記インバータ₂₆の出力がそれぞれ与えられる。

このような構成において、パルス発生回路₁₀から1レベルのパルス信号が出力されている期間ではMOSFETQ₂₆がオンし、出力端子Outの信号がフューズ素子Fの状態によつて0レベルまたは1レベルに設定される。このときMOSFETQ₂₆もオンするために、出力信号Outにおける信号はインバータ₂₄、₂₅によつて順次反転され、インバータ₂₅の出力として出力端子Outと同じレベルの信号が得られる。次にパルス信号の出力期間が終るとすると、MOSFETQ₂₆がオフして、インバータ₂₄の入力側は出力端子

Outから分岐されるとともに、今度はMOSFETQ₂₆がオンしてインバータ₂₅の出力がこのMOSFETQ₂₆を介してインバータ₂₄の入力側に戻されるため、インバータ₂₅の出力はいままでの信号と同じレベルの信号に保持される。

したがつて、この実施例回路でも、電源VDを投入した後、フューズ素子Fの状態に応じて1レベルまたは0レベルの信号が出力される。

第7図はこの発明のさらに他の実施例の構成を示す回路図である。この実施例回路は、前記第5図に示す実施例回路のパルス発生回路₁₀とラッチ回路₂₀を除く回路部分、すなわちMOSFETQ₂₁、Q₂₃とフューズ素子Fからなる回路部分の電源VDとアースの関係を逆にしたものである。この場合、MOSFETQ₂₃は出力端子Outと電源VD印加点との間に挿入され、さらにこのMOSFETQ₂₃のゲートにはインバータ₂₇を介して前記NORゲート₂₁の出力が与えられる。そしてこの場合の

NORゲート₂₁の出力信号レベルは、フューズ素子Fの同じ状態に対して、第5図の実施例とは反対レベルとなる。

なお、この発明は上記実施例に限定されるものではなく、たとえばフューズ素子FはMOSFETQ₂₃を用いて導通する場合について説明したが、これはレーザー光線等のエネルギーを照射することによつて導通するようにしてもよい。そしてこの場合にはMOSFETQ₂₃は不要である。さらにフューズ素子Fの代りにMOS、FAMOS等の不揮発性記憶素子を用いてもよく、要するに両端間のインピーダンスが不揮発的に変化するようなものであればフューズ素子Fの代りに使用することができる。またポリシリコンによつて作られたフューズ素子を使用する場合、初期状態では高抵抗状態にして導通されたときと同じ状態にし、その後、レーザーアニールして低抵抗化し導通されていない状態と同じ状態にするようにしてもよい。

さらに前記パルス発生回路₁₀は、電源VD

の立上り方に条件を持たない第 8 図に示すよう
な構成の回路を使用してもよい。

証明の効果

以上説明したようにこの発明によれば、不揮
易性記憶素子を用いて二値の出力を得ることの
できる信頼性の高い半導体集積回路を提供する
ことができる。

4. 図面の簡単な説明

第1図は予備のメモリセル回路が形成された半導体メモリのブロック構成図、第2図(a)、(b)は上記半導体メモリの一部回路の従来の構成を示す回路図、第3図は上記半導体メモリの他の部分の構成を示す回路図、第4図はこの発明の原理を説明するための回路図、第5図をいし第7図はそれぞれこの発明の各実施例の構成を示す回路図、第8図は第4図中のパルス発生回路の他の例を示す回路図である。

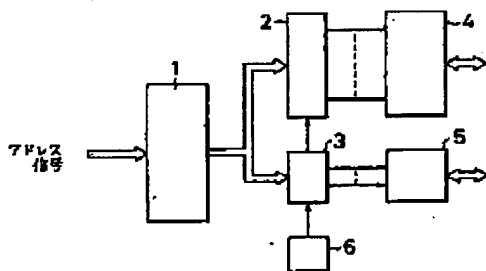
1…アドレスバツファ、2…正装のアドレス
デコーダ、3…予備のアドレスデコーダ、4…
正装のメモリセル回路、5…予備のメモリセル

特許 58-105497(6)

回路、4…交換制御信号発生部、Q₁、Q₂、Q₃、Q₄…エンハンスメントモードの MOSFET、Q₅、Q₆…ダイブレッションモードの MOSFET、F、F₁…フューズ素子、I₀…パルス発生回路、Z₀…ラッチ回路、I₁…抵抗、I₂…コンデンサ、I₃、I₄、I₅、I₆、I₇…インバータ、I₈、I₉…NOEゲート、I₁₀…フリックアップロツプ

出願人代理人 弁理士 鈴 江 武 彦

第 1 章



第 2 圖

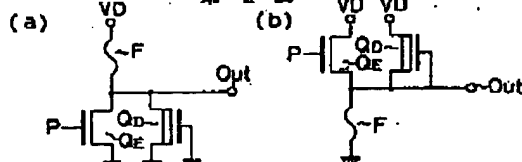
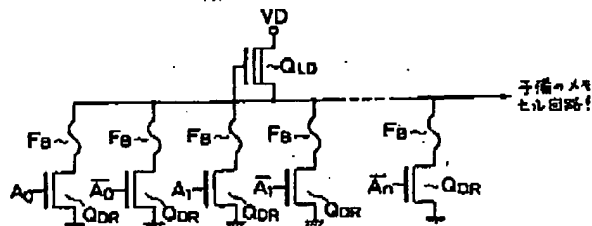


圖 3 庫



特開2003-105497 (7)

